

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-307787

(43)Date of publication of application : 17.11.1998

(51)Int.Cl.

G06F 13/28

G06F 13/38

G06F 13/38

(21)Application number : 09-119670

(71)Applicant : NEC CORP

(22)Date of filing : 09.05.1997

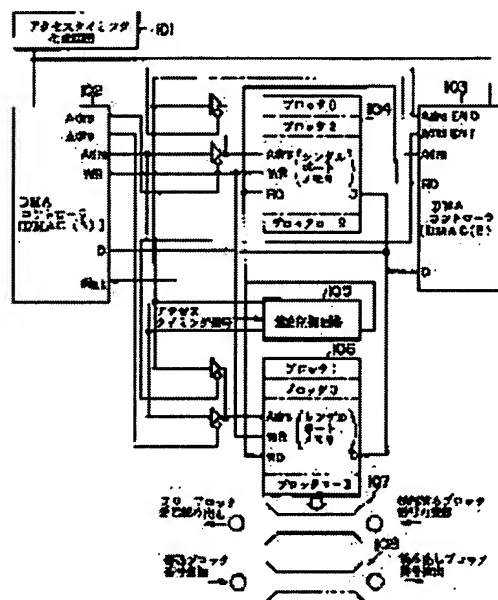
(72)Inventor : FUKUNAGA MASAYUKI

(54) BUFFER MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a buffer memory device capable of obtaining performance equivalent to a case using an expensive dual port memory by comparatively inexpensive memory constitution and eliminating the necessity of complicated control.

SOLUTION: A single port memory is divided into memory banks 104, 106. Each of direct memory access(DMA) controllers 102, 103 executes low speed data transfer or high speed data transfer (writing or reading) processing. An access timing generation circuit 101 generates time divided and opposed access timing for writing or reading and outputs the timing to the controllers 102, 103. When both the controllers 102, 103 access the same memory bank, a competition control circuit 105 sends a wait signal to the controller 102.



LEGAL STATUS

[Date of request for examination] 09.05.1997

[Date of sending the examiner's decision of rejection] 24.09.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-307787

(43) 公開日 平成10年(1998)11月17日

(51) Int. Cl. ⁵	識別記号	P I
G 0 6 F 13/28	3 1 0	G 0 6 F 13/28 3 1 0 J
13/38	3 1 0	13/38 3 1 0 H
	3 4 0	3 4 0 B

審査請求 有 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平9-119670

(22) 出願日 平成9年(1997)5月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 福永 雅行

東京都港区芝五丁目7番1号 日本電気株式会社内

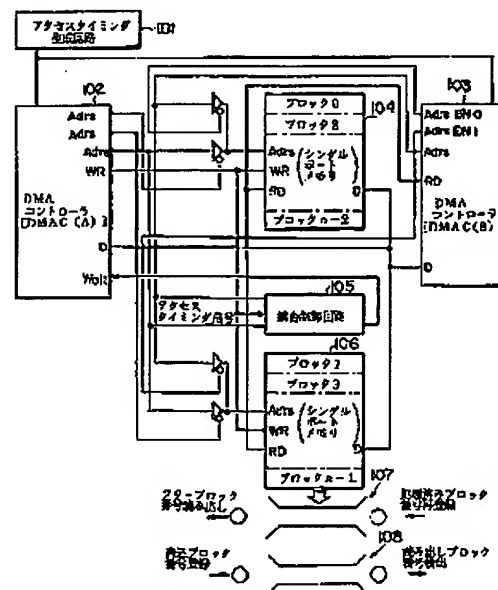
(74) 代理人 弁理士 渡辺 喜平

(54) 【発明の名称】 バッファメモリ装置

(57) 【要約】

【課題】 比較的廉価なメモリで構成し、かつ、高価なデュアルポートメモリを使用する場合と同等なパフォーマンスを得るとともに、複雑な制御を不要にする。

【解決手段】 シングルポートメモリがメモリバンク104、106に区分される。DMAコントローラ102、103が低速データ転送又は高速データ転送（書き込み又は読み出し）処理を行う。この場合の書き込み又は読み出しのための時分割かつ相反するアクセスタイミングをアクセスタイミング生成回路101が生成してDMAコントローラ102、103へ出力する。また、DMAコントローラ102、103が同一の前記メモリバンクにアクセスしている場合に競合制御回路105がウェイト信号をDMAコントローラ102、103に送出する。



BEST AVAILABLE COPY

(2)

特開平10-307787

1

2

【特許請求の範囲】

【請求項1】 データ入出力におけるデータ転送速度が異なる際の速度差を吸収するバッファメモリ装置において、

二つのメモリバンクに区分されるメモリと、
低速又は高速のデータ転送を行う第1 DMAコントローラと、

前記第1 DMAコントローラと反対の低速又は高速のデータ転送を行う第2 DMAコントローラと、

前記第1及び第2 DMAコントローラがデータを時分割かつ相反して転送するためのアクセスタイミング信号を生成して出力するアクセスタイミング生成手段と、

前記第1及び第2 DMAコントローラが同一の前記メモリバンクにアクセスする競合状態の場合にウェイト信号を前記第1 DMAコントローラに送出する競合処理手段と、

を備えることを特徴とするバッファメモリ装置。

【請求項2】 データ転送のインタフェース処理である処理済ブロック番号を再登録し、かつ、フリーブロック番号を読み出すためのフリーブロックキューFIFOメモリと、

データ転送のインタフェース処理である書き込みブロック番号を登録し、かつ、読み出しブロック番号を検出するための有効ブロックキューFIFOメモリとを備えることを特徴とする請求項1記載のバッファメモリ装置。

【請求項3】 前記第1及び第2 DMAコントローラの一方又は両方が n 個のDMAコントローラで構成されるとともに、この n 個のDMAコントローラからのDMA転送を調停し、この調停結果を前記 n 個中のDMAコントローラに送出する調停処理手段とを備えることを特徴とする請求項1記載のバッファメモリ装置。

【請求項4】 前記競合処理手段として、DMAコントローラからのアドレスが入力され、かつ、アクセスタイミング信号が、そのまき又はインバータを通じて反転して入力される二つのフリップフロップ回路と、

前記フリップフロップ回路の出力を比較したウェイト信号を一方のDMAコントローラに送出する比較器と、
を備えることを特徴とする請求項1記載のバッファメモリ装置。

【請求項5】 前記メモリがシングルポートメモリであることを特徴とする請求項1記載のバッファメモリ装置。

【請求項6】 前記メモリを区分した二つのメモリバンクの一方が偶数のブロック番号の固定長ブロックに区分され、かつ、他方が奇数のブロック番号の固定長ブロックに区分されることを特徴とする請求項1記載のバッファメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、データ処理装置間

のデータ転送速度差を吸収し、特に、二つ以上の直接メモリアクセスコントローラ（以下、DMACと略称する）からインタリーブでアクセスされるバッファメモリ装置に関する。

【0002】

【従来の技術】 従来、この種のバッファメモリ装置は、入出力（I/O）インタフェースなどに用いられてデータ転送速度が異なるデータ処理装置（入力側装置、出力側装置）間などでの転送速度差を吸収する目的で用いられている。すなわち、低速データ転送側（又は高速データ転送側）からDMA転送されたデータをDMAコントローラを通じてメモリに書き込み、かつ、他のDMAコントローラを通じて高速で読み出して高速データ転送側（又は低速データ転送側）に転送する目的で用いられている。

【0003】 このようなバッファメモリのアクセス方法として、次の三つの代表的な従来例が知られている。

（1）シングルポートメモリで構成する一つのメモリバンクに対して、複数のDMAコントローラからアクセス時間を時分割する方法。

（2）メモリバンクとしてデュアルポートメモリを使用する方法。

（3）シングルポートメモリで構成する一つのメモリバンクに対して、複数のDMAコントローラからのメモリアクセス信号に基づいて競合制御を行うメモリアクセス競合制御回路及びDMAコントローラメモリ間のバスラインを分離するゲート回路を用いる方法。

【0004】 通常、メモリアクセスを行うバスマスタは、メモリアクセス信号の出力前にアドレス信号を出力し、かつ、メモリアクセス信号の終了後のしばらくの間はアドレス信号を保持している。

【0005】 図5は前記の（1）のメモリバンクに複数のDMAコントローラ（DMAC）からアクセス時間を時分割処理する際の構成を示すブロック図であり、図6はこの時分割処理におけるアクセスタイミング図である。図5及び図6の例は、前記の（1）の場合のように、シングルポートメモリ1にDMAコントローラ2、3からアクセス時間をアクセスタイミング生成回路4からのタイミングで時分割処理している。

【0006】 また、この例ではメモリアクセス信号に先立って各メモリアクセスが有効となる。したがって、このアクセス終了後しばらくの間は、そのアクセス権を有している。このため、いずれのバスマスタ（DMAコントローラ2、3）からもシングルポートメモリ1に対して、実際にはアクセスしていない無効なタイミングが発生する。ここで、フリーブロックキューFIFOメモリ5は低速側のインタフェースを処理する。すなわち、先入れ先出し方式による処理を行い、処理済ブロック番号を再登録し、かつ、フリーブロック番号を読み出す。同様に有効ブロックキューFIFOメモリ6が高速デー

(3)

特開平10-307787

3

タ転送側のインタフェースとなり、書き込みブロック番号を登録し、かつ、読み出しブロック番号を検出する。

【0007】図7は前記の(2)メモリバンクとしてデュアルポートメモリを使用する際の構成を示すブロック図であり、図8はこの構成のアクセスタイミング図である。図7及び図8の例は、前記の(2)の場合のように、メモリにデュアルポートメモリ10を使用する処理では、二つのバスマスタ(DMAコントローラ11、12)からの信号に対して影響を受けないデュアルポートメモリ10を使用している。このため、アクセスタイミングでの無駄なタイミングが無く、理想的なアクセスタイミングを確立できるようになる。

【0008】図9は前記の(3)競合制御回路及びDMAコントローラメモリ間のバスラインを分離するゲート回路を用いる際の構成を示すブロック図であり、図10はこのアクセスタイミング図である。図9及び図10の例は、前記の(3)の場合のように、シングルポートメモリ20を用い、かつ、メモリアクセス競合制御回路21、及び、DMAコントローラ22、23とシングルポートメモリ20との間のバスラインを分離するゲート回路24、25、26、27を用いる構成となっている。そして、バスマスタ(DMAコントローラ22、23)から出力されるメモリアクセス信号に基づいて、メモリアクセス競合制御回路21によって、バスマスタからの信号がアドレスバス、データバス上で衝突しないようにゲート回路24～27を制御している。

【0009】この処理では一方のバスマスタのみがアクセスを行う場合、前記の(2)のデュアルポートメモリを使用する処理とは同等のタイミングでのアクセスが可能である。しかし、両方のバスマスタ間でメモリアクセスが競合しないように出来ない。このためアドレスバス、データバス上で信号が衝突しないように制御を行う複雑な構成の調停回路及びゲート回路が必要になる。

【0010】

【発明が解決しようとする課題】このように上記従来例のバッファメモリでは以下の欠点がある。前記の(1)の従来例のようにメモリに複数のDMAコントローラからアクセスする時間を時分割する処理では、高速化処理が出来ない。すなわち、メモリアクセスタイミングにおいて、無駄な処理時間が発生する。

【0011】前記の(2)の従来例のようにデュアルポートメモリを使用する処理では、装置のコストが高む。すなわち、デュアルポートメモリはシングルポートメモリに比較して、チップ単体のメモリ容量を大きく出来ず、結果的にコストが増大化する。

【0012】前記の(3)の従来例のように競合制御回路及びDMAコントローラとメモリ間のバスラインを分離するゲート回路を用いる場合、その制御が複雑である。すなわち、複数のバスマスタ(DMAコントローラ)からメモリアクセス信号を、常時、入力して、い

4

れのバスマスタからのアクセスを優先するかを競合制御回路で調停し、この調停したバスマスタ以外のバスマスタとメモリ間のデータバスを遮断するためのゲート回路を制御する必要がある。

【0013】本発明は、このような従来の技術における課題を解決するものであり、比較的廉価なメモリで構成できるとともに、高価なデュアルポートメモリを使用する場合と同等なパフォーマンスが得られ、かつ、複雑な制御を不要に出来るバッファメモリ装置の提供を目的とする。

【0014】

【課題を解決するための手段】上記課題を達成するために、請求項1記載の発明は、データ入出力におけるデータ転送速度が異なる際の速度差を吸収するバッファメモリ装置において、二つのメモリバンクに区分されるメモリと、低速又は高速のデータ転送を行う第1DMAコントローラと、第1DMAコントローラと反対の低速又は高速のデータ転送を行う第2DMAコントローラと、第1及び第2DMAコントローラがデータを時分割かつ相反して転送するためのアクセスタイミング信号を生成して出力するアクセスタイミング生成手段と、第1及び第2DMAコントローラが同一のメモリバンクにアクセスする競合状態の場合にウェイト信号を第1DMAコントローラに送出する競合処理手段とを備える構成としてある。

【0015】請求項2記載のバッファメモリ装置は、データ転送のインタフェース処理である処理済ブロック番号を再登録し、かつ、フリーブロック番号を読み出すためのフリーブロックキューFIFOメモリと、データ転送のインタフェース処理である書き込みブロック番号を登録し、かつ、読み出しブロック番号を検出するための有効ブロックキューFIFOメモリとを備える構成としてある。

【0016】請求項3記載のバッファメモリ装置は、前記第1及び第2DMAコントローラ的一方又は両方がn個のDMAコントローラで構成されるとともに、このn個のDMAコントローラからのDMA転送を調停し、この調停結果をn個中のDMAコントローラに送出する調停処理手段とを備える構成としてある。

【0017】請求項4記載のバッファメモリ装置は、前記競合処理手段として、DMAコントローラからのアドレスが入力され、かつ、アクセスタイミング信号が、そのまま又はインバータを通じて反転して入力される二つのフリップフロップ回路と、フリップフロップ回路の出力を比較したウェイト信号を一方のDMAコントローラに送出する比較器とを備える構成としてある。

【0018】請求項5記載のバッファメモリ装置は、前記メモリをシングルポートメモリで構成してある。

【0019】請求項6記載のバッファメモリ装置は、前記メモリを区分した二つのメモリバンクの一方が偶数の

(4)

特開平10-307787

5

ブロック番号の固定長ブロックに区分され、かつ、他方が奇数のブロック番号の固定長ブロックに区分される構成としてある。

【0020】このような構成の請求項1, 2, 4, 5, 6記載の発明のバッファメモリ装置は、メモリアクセスタイミングにおいて、無駄な処理時間が発生しなくなり、アクセス待ち時間が最小になるため、高速動作が行われる。また、シングルポートメモリを使用しているためデュアルポートメモリを使用する場合に比較して、チップ単体のメモリ容量を大きく出来るようになり、結果的に価格が低減する。さらに、調停したバスマスタ以外のバスマスタとメモリ間のデータバスを遮断するためのゲート回路を制御する必要がなくなる。すなわち、複雑な制御が不要になる。

【0021】請求項3記載の発明は、 n 個のDMAコントローラで構成されるDMAコントローラからのDMA転送を調停しているため、 n 個の低速データ転送側（又は高速データ転送側）を一つの高速度データ転送側（又は低速データ転送側）の回路に多量化できることになる。

【0022】

【発明の実施の形態】次に、本発明のバッファメモリ装置の実施の形態を図面を参照して詳細に説明する。図1は本発明のバッファメモリ装置の第1実施形態における構成を示すブロック図である。図1のバッファメモリ装置は、時分割で一方のDMAコントローラ又は他方のDMAコントローラへのアクセスタイミング（アクセス権）を生成するアクセスタイミング生成回路101と、DMA転送によるアクセスを行うDMAコントローラ102, 103（DMAC（A）、DMAC（B））とを有している。

【0023】さらに、このバッファメモリ装置は、シングルポートメモリで構成され、偶数番号の固定長ブロック（0, 2... $n-2$ ）を格納したメモリバンク104及び奇数番号の固定長ブロック（1, 3... $n-1$ ）を格納したメモリバンク106を有し、また、両方のバスマスタが同一バンクにアクセスを行うか否かを判定して、同一バンクにアクセスしている場合にウェイト信号を送出する競合制御回路105を有している。

【0024】また、低速データ転送側のインタフェース（I/F）であり、先入れ先出し方式の処理によって処理済ブロック番号を再登録し、かつ、フリーブロック番号を読み出すためのフリーブロックキューFIFOメモリ107と、高速データ転送側のI/Fであり、先入れ先出し方式の処理によって書き込みブロック番号を登録し、かつ、読み出しブロック番号を検出するための有効ブロックキューFIFOメモリ108とを有している。

【0025】図2は競合制御回路105の詳細な構成を示すブロック図である。図2の競合制御回路105は、DMAコントローラ102, 103からのアドレス（Address）がそれぞれデータ端子（D）に入力され、か

5

つ、クロック端子（CK）にアクセスタイミング信号が、そのまま又はインバータを通じて反転して入力されるフリップフロップ（F/F）回路201, 202と、F/F回路201, 202の出力端子（Q）の出力を比較したウェイト信号をDMAコントローラ102に送出する比較器203とを有している。

【0026】次に、この第1実施形態の動作について説明する。まず、全体動作を簡単に説明する。ここではDMAコントローラ102を低速データ転送用とし、かつ、DMAコントローラ103を高速データ転送用として説明する。さらに、DMAコントローラ102は書き込み（送信側）専用とし、また、DMAコントローラ103が読み込み（受信側）専用として説明する。なお、この送信側、受信側が反対でも以下と同様に動作する。

【0027】アクセスタイミング生成回路101は、デューティ比が50対50のクロック信号がハイ（H）レベルの場合には、DMAコントローラ102がアクセス権を有し、また、ロー（L）レベルの場合には、DMAコントローラ103にアクセス権を有している。1クロック信号（1パルス）のハイレベル及びローレベルの時間はアクセスが可能な最小値に設定する。

【0028】DMAコントローラ102はアクセスタイミング生成回路101からハイレベルのアクセスタイミング信号が出力される場合にアクセスし、また、DMAコントローラ103はアクセスタイミング生成回路101からローレベルのアクセスタイミング信号が出力される場合に、そのアクセスを行う。競合制御回路105は、図2に示すようにF/F回路201, 202に入力されるDMAコントローラ102, 103からのアドレス有効信号と、どちらのメモリバンク104, 106に対するアクセスを行うか否かを示すアドレスビットに基づいて、それぞれのDMAコントローラ102, 103がメモリバンク104, 106をアクセスする場合に、アクセス可能か否かを比較器203で比較して判定する。

【0029】すなわち、インタリーブでアクセス可能か、又は、同一のメモリバンク104, 106にアクセスして、そのアドレス信号が衝突し、インタリーブによるアクセスが不可能か否かを判定する。ここで、インタリーブによるアクセスが不可能な場合は、比較器203からDMAコントローラ102へウェイト（Wait）信号を送出する。このウェイト信号によってDMAコントローラ102がDMA転送を一時的に中断する。

【0030】メモリバンク104, 106は、それぞれブロックが奇数、偶数のブロック番号（0, 2... $n-2$, 1, 3... $n-1$ ）に区分されているため、このブロック番号を順番に使用するとアクセスが一方に偏らなくなる。仮に、アクセスを行うメモリバンク（104, 106の一方、以下、括弧内の数字は、その一方を示す）がDMAコントローラ102, 103の両方で行われた

(5)

特開平10-307787

7

8

際にも、最大1ブロック分のアクセス分だけ時間経過すればインタリーブしてDMAコントローラ102、103の両方からのアクセスが可能になる。

【0031】フリーブロックキューFIFOメモリ107及び有効ブロックキューFIFOメモリ108は、初期状態として、メモリバンク104、106への書き込み処理時に、このアクセスが一方に集中しないで交互にアクセスを行うように順番に空きブロック番号を格納するとともに、書き込み側のDMAコントローラ102から空きブロック番号を読み出して、書き込み可能なブロック番号を格納する。

【0032】この空きブロック番号を書き込み側のDMAコントローラ102が読み出して、そのブロック番号にDMA転送し、この後に、このブロック番号を有効に設定し、有効ブロックキューFIFOメモリ108に格納する。他方のDMAコントローラ103は、有効ブロックキューFIFOメモリ108から有効データが格納されているブロック番号を、その読み出しによって認識できるため、このブロック番号のデータをDMA転送で読み出す。メモリバンク104、106の全てのデータを20読み出し、この完了後に処理済としてフリーブロックキューFIFOメモリ107に、このブロック番号を再格納する。

【0033】さらに、この動作を詳細に説明する。図3は動作の処理タイミングを示すタイミングチャートである。ここで、メモリバンク104、106のシングルポートメモリでのアクセスタイムが、例えば、20ns必要とする場合、アクセスタイミング生成回路101は、そのクロック信号の周波数が25MHzであり、デューティ比が50対50となる。

【0034】このクロック信号が供給されるDMAコントローラ102は、アクセス信号がハイレベルの場合に、シングルポートメモリ（メモリバンク104、106）に対してアクセスを行う。そして、このシングルポートメモリが要求するアドレスセットアップタイム/アドレスホールドタイムを満足するようにアクセス信号がハイレベルになる前、例えば、アドレスセットアップタイムが5nsの場合は、5ns前にアドレスを有効にする。このアクセスの完了後もアドレスを保持する。例えば、アドレスホールドタイムが3nsの場合は、3ns40以上を保持する。

【0035】このように、アクセスタイム20nsのシングルポートメモリ（メモリバンク104、106）を使用し、競合制御回路105がDMAコントローラ102、103によって同一のメモリバンク（104、106）をアクセスするかどうかを検出する場合、図3に示すようにアクセスのタイミングが切り替わる。この切り替わりの時点でDMAコントローラ102、103の出力のアドレスビットをそれぞれラッチして比較する。例えば、ブロック番号（0、2...n-2、1、3...n-1）50

が64ワードの場合は、アドレスビット6をそれぞれラッチして比較する。

【0036】なお、この64ワードのアドレスビットは、DMAコントローラ102、103のアドレス有効信号及び、それぞれアクセスしようとしているブロック番号の奇数/偶数を判定できるように、その割り付けを行う。例えば、ブロック番号（0、2...n-2、1、3...n-1）の容量が64ワードの場合、アドレス0000000H-000003fHをブロック番号0に割り付ける。また、アドレス0000040H-000007fHをブロック番号1に割り付ける。

【0037】競合制御回路105での比較が同一の場合は、比較的影響が少ないDMAコントローラ102のDMA転送を一時的に停止する。また、DMAコントローラ102、103のアクセスが一方のメモリバンク104、106に偏らないようにするため、フリーブロックキューFIFOメモリ107がフリーブロック番号を保持する。この保持は、フリーブロックキューFIFOメモリ107が、初期状態で番号0から順番に保持し、書き込むデータを有している場合には、そのフリーブロック番号を読み取って、書き込むべきブロック番号をDMAコントローラ102へ通知する。DMAコントローラ103が読み出しを完了した後に、そのブロック番号を元に戻している。

【0038】同様に、有効ブロックキューFIFOメモリ108は、各時点での使用中のメモリバンク104、106のブロック番号を順に格納する。すなわち、DMAコントローラ102からメモリバンク104、106のブロック番号を格納し、また、DMAコントローラ103は、この読み出しによってDMA転送すべきブロック番号を認識する。この二つのフリーブロックキューFIFOメモリ107及びブロックキューFIFOメモリ108は、それぞれブロック番号における処理を開始する直前又は直後にのみ処理され、これ以外では、アクセスされずに格納したデータを順に保持するのみである。なお、特にアクセスタイミングと同期を確立する必要はない。

【0039】次に、図3の動作の処理タイミングに基づいて説明する。図3中の1クロック信号Ta、Tbは、例えば、20nsであり、周波数が25MHzかつ、デューティ比50対50のクロック信号である。このクロック信号がハイレベルの間隔では、DMAコントローラ102はメモリバンク104、106に対してアクセスを行う。また、クロック信号がローレベルの場合に、DMAコントローラ103がメモリバンク104、106に対してアクセスを行う。このアクセスタイミングは、それぞれのアクセス有効信号がアクティブであることを示している。

【0040】メモリバンク104、106は、アクセスタイミング前にアドレスバスが有効であることを必要と

(6)

特開平10-307787

9

10

し、アドレスセットアップタイムが満足する値を確保する必要がある。このため、 $T_c = 5 \text{ ns}$ 以上の時間を確保し、アドレスバスが実際のアクセス以前から有効になるようにする。同様にアドレスホールドタイムを満足する必要があるため、 $T_d = 3 \text{ ns}$ 以上の時間でアドレスを有効にする。

【0041】この結果、DMAコントローラ102から、メモリバンク(104、106)をアクセスした後の待機中に、DMAコントローラ103から他のメモリバンク104、106をインタリーブでアクセス可能になる。

【0042】図4は第2実施形態の構成を示すブロック図である。図4の第2実施形態は、 n 回線の低速データ転送側を1回線の高速データ転送側に多量化するものであり、ここでは低速データ転送用の n 個のDMAコントローラで構成されるDMAコントローラ102aと、調停回路109とを有している。他の構成は図1の第1実施形態と同様である。

【0043】次に、この第2実施形態の動作について説明する。DMAコントローラ102aは、データ転送の要求時に、このDMA転送を調停回路109に送出し、ここでの調停結果を、それぞれのDMAコントローラ102a、103に返送する。転送権を得たDMAコントローラ102a中の一つがDMAコントローラ103にインタリーブしてメモリバンク104、106に対してアクセスを行う。

【0044】なお、この実施形態ではDMAコントローラ102aは書き込み(送信側)専用、また、DMAコントローラ103を読み出し(受信側)専用としているが、この送信側、受信側を反対に構成した場合は、DMAコントローラ103を n 個のDMAコントローラで構成すれば良い。

【0045】

【発明の効果】以上の説明から明らかなように、請求項1、2、4～6記載の発明のバッファメモリ装置によれば、メモリアクセスタイミングにおいて、無駄な処理時間が発生しなくなり、アクセス待ち時間が最小になるため、高速動作が可能になる。また、シングルポートメモリを使用しているためデュアルポートメモリを使用する場合に比較して、チップ単体のメモリ容量を大きく出せるようになり、価格が低減する。さらに調停したバスマスタ以外のバスマスタとメモリ間のデータバスを遮断す

るためのゲート回路を制御する必要がなくなり、その複雑な制御が不要になる。

【0046】請求項3記載の発明によれば、 n 個のDMAコントローラで構成されるDMAコントローラからのDMA転送を調停している。この結果、 n 個の低速データ転送側(又は高速データ転送側)を一つの高速データ転送側(又は低速データ転送側)の回線に多量化できるようになる。

【図面の簡単な説明】

【図1】本発明のバッファメモリ装置の実施形態での構成を示すブロック図である。

【図2】図1中の競合制御回路の詳細な構成を示すブロック図である。

【図3】実施形態における動作のタイミングチャートである。

【図4】第2実施形態の構成を示すブロック図である。

【図5】従来例にあって複数のDMAコントローラからのアクセス時間を時分割する際の構成を示すブロック図である。

【図6】図5に示す処理状態におけるアクセスタイミング図である。

【図7】従来例にあってデュアルポートメモリ使用時の構成を示すブロック図である。

【図8】図7に示す処理状態におけるアクセスタイミング図である。

【図9】従来例にあってゲート回路を用いた際の構成を示すブロック図である。

【図10】図9に示す処理状態におけるアクセスタイミング図である。

【符号の説明】

101 アクセスタイミング生成回路

102、102a DMAコントローラ【DMAC(A)】

103 DMAコントローラ【DMAC(B)】

104、106 メモリバンク

105 競合制御回路

107 フリーブロックキューFIFOメモリ

108 有効ブロックキューFIFOメモリ

109 調停回路

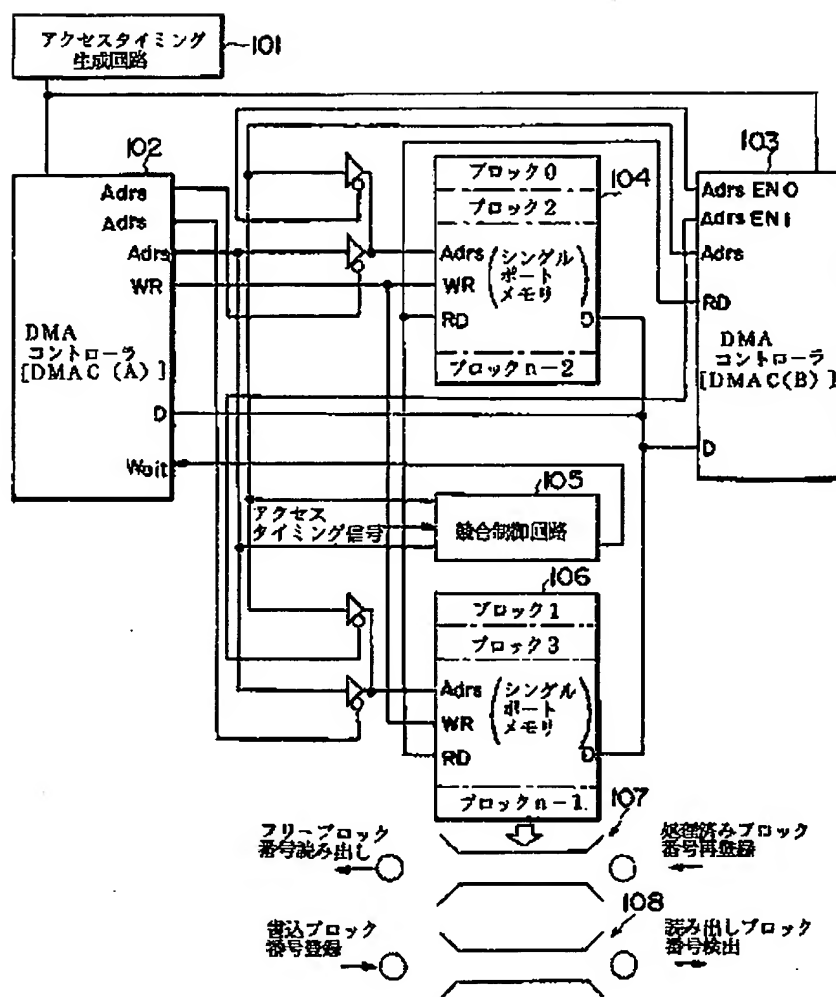
201、202 F/F回路

203 比較器

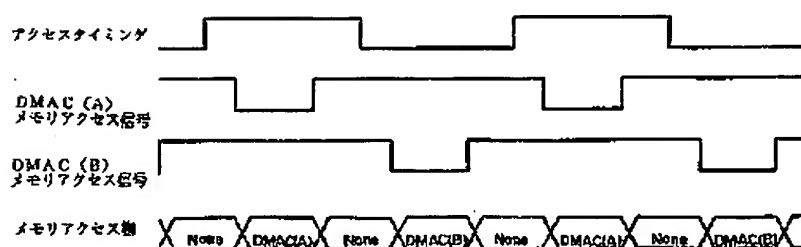
(7)

特開平10-307787

【図1】



【図6】



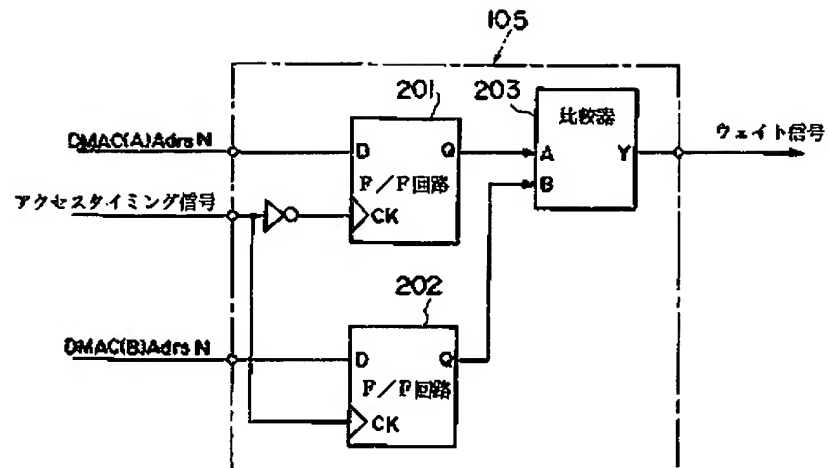
アクセス信号は全てLでアクティブ

BEST AVAILABLE COPY

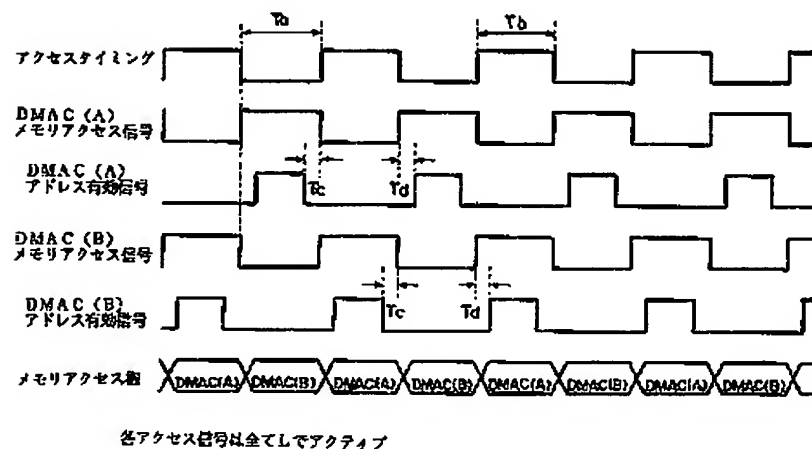
(8)

特開平10-307787

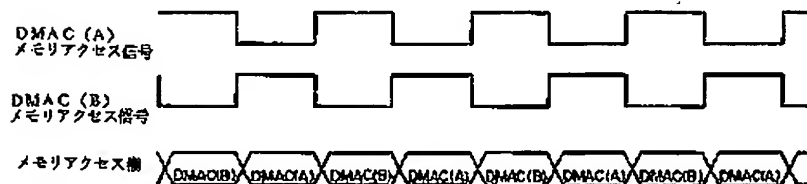
〔図2〕



〔図3〕



〔図8〕

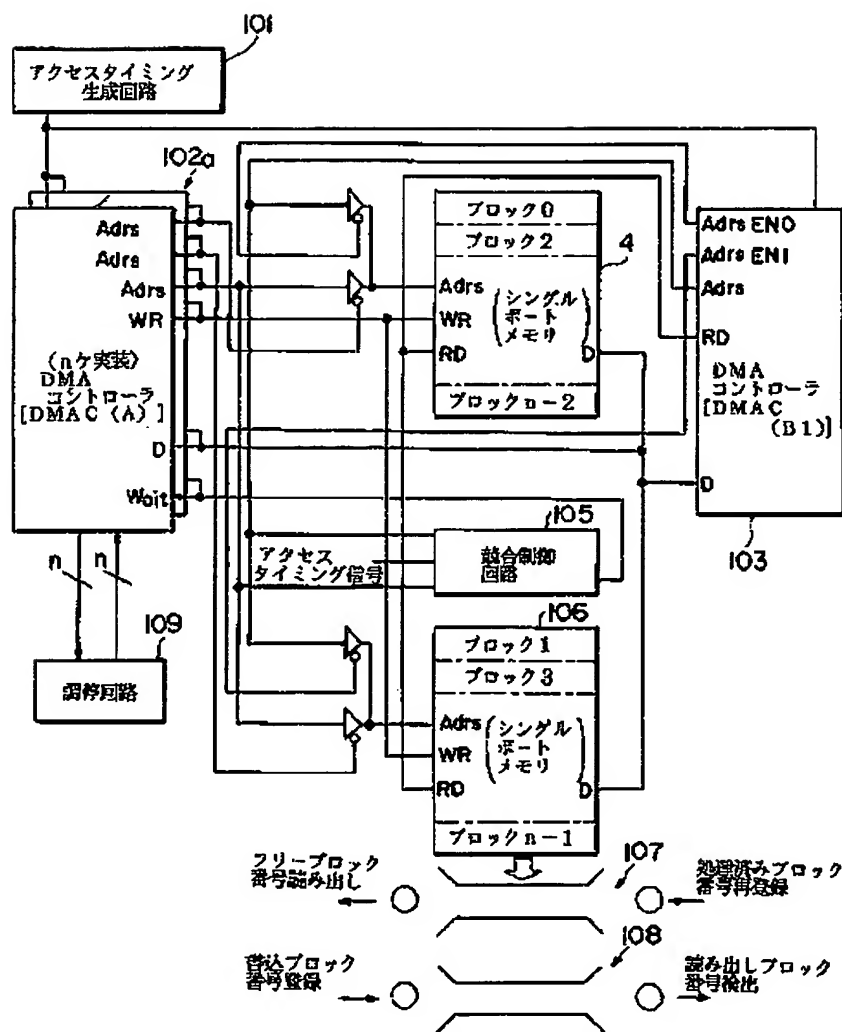


BEST AVAILABLE COPY

(9)

特開平10-307787

〔図4〕

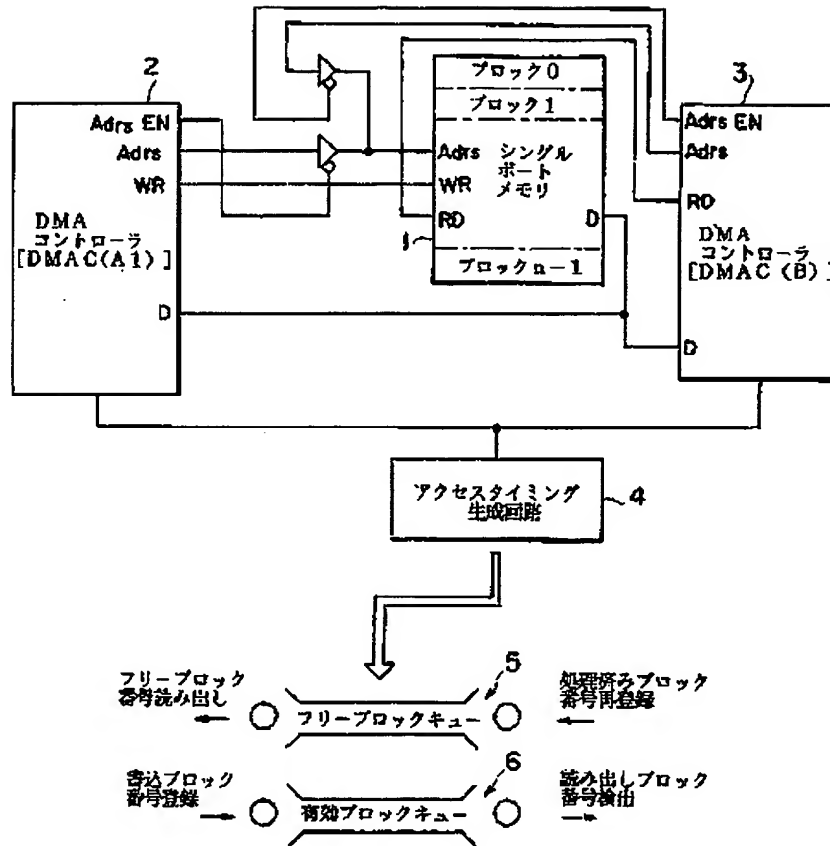


BEST AVAILABLE COPY

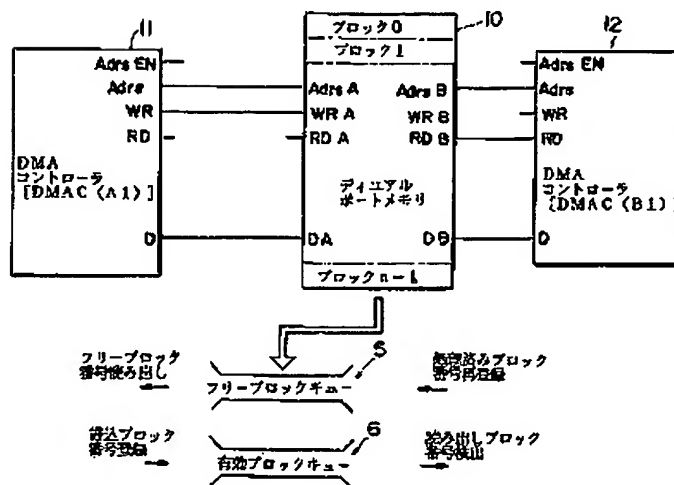
(10)

特開平10-307787

【図5】



【図7】

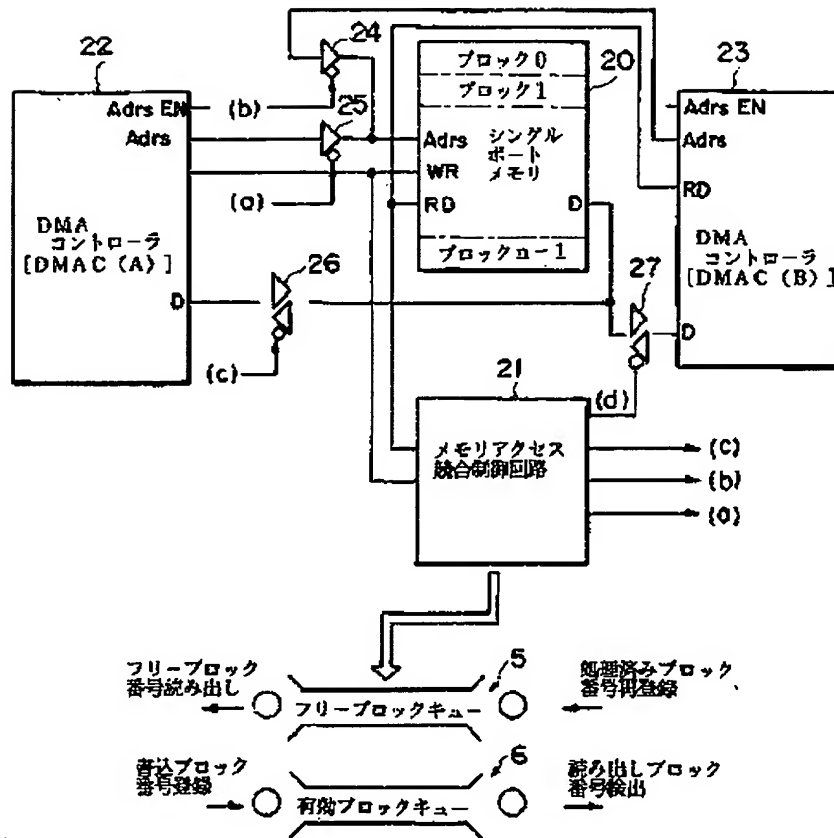


BEST AVAILABLE COPY

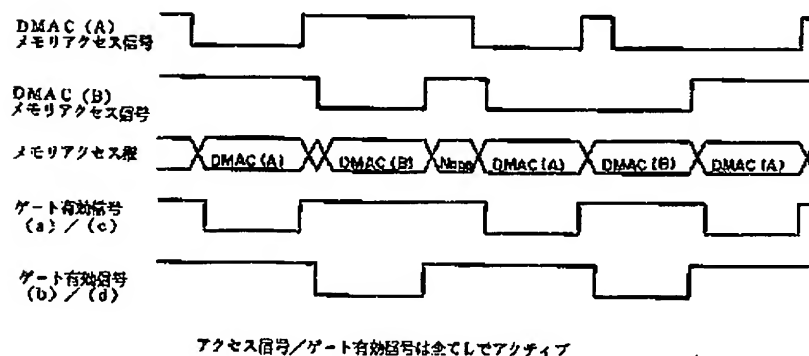
(11)

特開平10-307787

【図9】



【図10】



BEST AVAILABLE COPY